

Docket No.: 67161-084

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
:
Takeshi MATSUNUMA : Confirmation Number:
:
Serial No.: : Group Art Unit:
:
Filed: September 03, 2003 : Examiner:
:
For: SEMICONDUCTOR DEVICE INCLUDING INTERCONNECTION AND CAPACITOR, AND
METHOD OF MANUFACTURING THE SAME

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. JP2003-087436, filed on March 27, 2003.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:gav
Facsimile: (202) 756-8087
Date: September 3, 2003

67161-084

Takeshi MATSUNUMA

September 3, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月27日

出 願 番 号

Application Number:

特願2003-087436

[ST.10/C]:

[JP2003-087436]

出 願 人

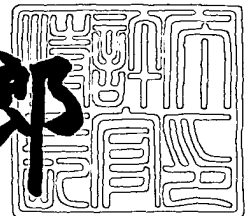
Applicant(s):

三菱電機株式会社

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3030006

【書類名】 特許願

【整理番号】 543915JP01

【提出日】 平成15年 3月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 松沼 健司

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 銅を含む導電体からなる配線とキャパシタとを備えた半導体装置の製造方法であって、

第 1 の絶縁層を形成する工程と、

前記第 1 の絶縁層内に配線用孔とキャパシタ用孔とを形成する工程と、

銅を含む導電体で前記配線用孔を埋めることにより配線層を形成する工程と、

銅を含む導電体で前記キャパシタ用孔の一部を埋めることにより前記キャパシタの一方電極を形成する工程とを備え、

前記銅を含む導電体で配線用孔を埋めることにより配線層を形成する工程と、前記銅を含む導電体でキャパシタ用孔の一部を埋めることによりキャパシタの一方電極を形成する工程とは同一工程で行なわれる、半導体装置の製造方法。

【請求項 2】 前記配線層と前記キャパシタの一方電極とを覆う被覆層を形成する工程をさらに備える、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記配線層を覆う前記被覆層は、バリア層であることを特徴とする、請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記配線層を覆う前記被覆層を除去する工程と、前記配線層を覆うバリア層を形成する工程とをさらに備える、請求項 2 に記載の半導体装置の製造方法。

【請求項 5】 前記配線層と前記キャパシタの一方電極とを覆う前記被覆層を覆うように第 2 の絶縁層を形成する工程と、上部配線用孔と他方電極用孔とを前記第 2 の絶縁層内に形成する工程と、前記上部配線用孔を銅を含む導電体で埋めることにより上部配線層を形成する工程と、前記他方電極用孔を銅を含む導電体で埋めることにより前記キャパシタの他方電極を形成する工程とをさらに備え、前記上部配線用孔を銅を含む導電体で埋めることにより上部配線層を形成する工程と、前記他方電極用孔を銅を含む導電体で埋めることにより前記キャパシタの他方電極を形成する工程とは同一工程で行なわれる、請求項 1 ～ 4 のいずれかに記載の半導体装置の製造方法。

【請求項 6】 配線とキャパシタとを備える半導体装置であって、
前記配線と前記キャパシタの一方電極とはともに銅を含む導電体から形成されて
いて、

かつ前記配線を覆うように形成されたバリア層と前記キャパシタの誘電体層と
が同一層から形成されている、半導体装置。

【請求項 7】 配線とキャパシタとを備える半導体装置であって、
前記配線と前記キャパシタの一方電極とはともに銅を含む導電体から形成され
ていて、

かつ前記配線を覆うように形成されたバリア層と前記キャパシタの誘電体層と
が互いに異なる層から形成されている、半導体装置。

【請求項 8】 配線が形成されている配線用孔とキャパシタが形成されてい
るキャパシタ用孔とを備え、かつ前記配線用孔の容積は前記キャパシタ用孔の容
積よりも小さいことを特徴とする、請求項 6 または 7 に記載の半導体装置。

【請求項 9】 キャパシタが形成されているキャパシタ用孔を備え、前記キ
ャパシタ用孔は、互いに径の異なる第 1 の部分と第 2 の部分とを有し、前記第 1
の部分と前記第 2 の部分との境界において前記キャパシタ用孔の径が不連続に変
化していることを特徴とする、請求項 6 ～ 8 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置およびその製造方法に関し、より特定的には銅を含む導
電体からなる配線とキャパシタとを備えた半導体装置およびその製造方法に関す
る。

【0002】

【従来の技術】

半導体装置の代表として知られているマイクロプロセッサやメモリ等の L S I
(Large Scale Integrated circuit) においては、集積度の向上につれてキャパ
シタなどの個々の素子の寸法が益々微細化されてきている。これに伴ない、各素
子を接続する配線についても微細化が進められ、配線の断面積が小さくされてき

ている。配線の断面積が減少すれば、配線の抵抗値が高くなる。このため、従来の A l (アルミニウム) 系金属に代わって、より抵抗値の低い C u (銅) 系金属を用いた配線が採用される傾向にある。

【 0 0 0 3 】

このような C u 系金属を用いた配線とキャパシタとを備えた半導体装置の製造方法が、たとえば特開 2 0 0 1 - 3 1 3 3 7 3 号公報 (特許文献 1) に開示されている。上記公報に開示された半導体装置の製造方法は以下の通りである。

【 0 0 0 4 】

絶縁層中にキャパシタ部分以外の部分を形成するためのバイアと、キャパシタ部分を形成するためのバイアおよびトレンチとが形成される。次に、これらのバイアおよびトレンチにバリア層および誘電層が付着される。このバリア層がキャパシタの下部電極となっている。続いて、キャパシタ部分の誘電層上にフォトレジストがパターンニングされることにより、キャパシタ部分以外の誘電層がエッチングされ、キャパシタ部分以外のバリア層が露出される。次に、キャパシタ部分の誘電層上のフォトレジストが除去され、キャパシタ部分以外のバリア層とキャパシタ部分の誘電層とその他の露出表面との上にバリア層および C u 層が付着される。その後、CMP (Chemical mechanical Polish) により絶縁層上の余分なバリア層と誘電層と C u 層とが除去され、キャパシタを備えた半導体装置が製造される。また、上記以外の C u 系金属を用いた配線とキャパシタとを備えた半導体装置の製造方法は、たとえば特開 2 0 0 1 - 1 7 7 0 7 6 号公報 (特許文献 2) に開示されている。

【 0 0 0 5 】

【特許文献 1】

特開 2 0 0 1 - 3 1 3 3 7 3 号公報

【 0 0 0 6 】

【特許文献 2】

特開 2 0 0 1 - 1 7 7 0 7 6 号公報

【 0 0 0 7 】

【発明が解決しようとする課題】

しかしながら、上記製造方法を用いてCu系金属を用いた配線とキャパシタとを備えた半導体装置を製造する場合においては、キャパシタの下部電極および配線部分のバリアメタル層を形成する工程と、キャパシタの誘電層を形成する工程と、配線部分のバリアメタル層上に形成された誘電層を除去する工程と、配線層およびキャパシタの他方電極となるCu層を形成する工程と、配線層上の余分なCu層を除去する工程と、配線層上にバリア層を形成する工程とが少なくとも必要である。このため、製造工程が冗長であるという問題があった。この問題により、コストや工期が余分にかかっていた。

【0008】

したがって、本発明の目的は、製造工程の簡略化が可能な半導体装置およびその製造方法を提供することである。

【0009】

【課題を解決するための手段】

本発明における半導体装置の製造方法は、銅を含む導電体からなる配線とキャパシタとを備えた半導体装置の製造方法であって、第1の絶縁層を形成する工程と、第1の絶縁層内に配線用孔とキャパシタ用孔とを形成する工程と、銅を含む導電体で配線用孔を埋めることにより配線層を形成する工程と、銅を含む導電体でキャパシタ用孔の一部を埋めることによりキャパシタの一方電極を形成する工程とを備えている。銅を含む導電体で配線用孔を埋めることにより配線層を形成する工程と、銅を含む導電体でキャパシタ用孔の一部を埋めることによりキャパシタの一方電極を形成する工程とは同一工程で行なわれる。

【0010】

【発明の実施の形態】

以下、本発明の実施の形態について図を用いて説明する。

【0011】

（実施の形態1）

図1～図11（a）、（b）は、本発明の実施の形態1における配線とキャパシタとを備える半導体装置の製造方法を工程順に示す断面図である。

【0012】

図 1 を参照して、層間絶縁層 3 a 内にたとえば Cu などよりなる下部配線 5 a、5 b が形成される。次に、層間絶縁層 3 a および下部配線 5 a、5 b を覆うように、バリア層 4 a と層間絶縁層 3 b（第 1 の絶縁層）とが積層して形成される。バリア層 4 a は、Cu の酸化防止および拡散防止のために形成される絶縁層である。層間絶縁層 3 a、3 b は、たとえば SiO₂、SiO、MSQ（メチルシルセスキオキサンポリマー）、HSQ（水素化シルセスキオキサンポリマー）、有機ポリマーなどよりなる。バリア層 4 a はたとえば SiC や SiCN よりなる。

【0013】

図 2 を参照して、通常の写真製版技術およびエッチング技術により、バリア層 4 a の上面が露出するように、配線用孔 7 a とキャパシタ用孔 9 a とが層間絶縁層 3 b 内に開口される。配線用孔 7 a は、配線 2 3 が形成される配線部分 1 a に開口される。キャパシタ用孔 9 a は、キャパシタ 2 1 が形成されるキャパシタ部分 1 b に開口される。このとき、配線用孔 7 a とキャパシタ用孔 9 a とは、配線用孔 7 a の容積がキャパシタ用孔 9 a の容積よりも小さくなるように開口される。

【0014】

図 3（a）を参照して、配線用孔 7 a の周囲以外の部分を覆うようにフォトリジスト 1 1 がパターンニングされる。

【0015】

図 4（a）を参照して、配線用孔 7 a の周囲の層間絶縁層 3 b が一定の深さまでエッチングされることにより、配線用孔 7 b が開口される。その後、フォトリジスト 1 1 が除去される。

【0016】

ここで、図 3（b）、図 4（b）を参照して、配線用孔 7 a の周囲とキャパシタ用孔 9 b の周囲とを除く部分を覆うようにフォトリジスト 1 1 がパターンニングされ、配線用孔 7 a の周囲とキャパシタ用孔 9 b の周囲との層間絶縁層 3 b が一定の深さまでエッチングされることにより、配線用孔 7 b とともにキャパシタ用孔 9 b が開口されてもよい。

【 0 0 1 7 】

図 5 を参照して、通常の写真製版技術およびエッチング技術により、配線用孔 7 a およびキャパシタ用孔 9 a の底部のバリア層 4 a がエッチングされる。これにより、配線用孔 7 a およびキャパシタ用孔 9 a の底部には下部配線 5 a、5 b が露出する。

【 0 0 1 8 】

図 6 を参照して、配線用孔 7 a、7 b とキャパシタ用孔 9 a との側壁および底部と、層間絶縁層 3 b の上部とを覆うように、バリアメタル層 1 3 が形成される。バリアメタル層 1 3 は、たとえば C V D (Chemical Vapor Deposition) 法またはスパッタ法により T a N を成膜することにより形成される。バリアメタル層 1 3 は、下地の金属（下部配線 5 a、5 b）と安定した接触を得るために形成される導電層である。

【 0 0 1 9 】

図 7 を参照して、バリアメタル層 1 3 の上部を覆うようにたとえばメッキ法により C u 層 1 5 が形成される。ここで、C u 層 1 5 は、配線用孔 7 a、7 b を完全に埋めるような厚さであって、かつキャパシタ用孔 9 a の一部を埋めるような厚さで形成される。

【 0 0 2 0 】

図 8 を参照して、層間絶縁層 3 b よりも上の位置にある C u 層 1 5 とバリアメタル層 1 3 とが、たとえば C M P (Chemical Mechanical Polish) 法により除去される。これにより、C u 層 1 5 は、配線部分 1 a の C u 層 1 5 a とキャパシタ部分 1 b の C u 層 1 5 b とに分離される。この C u 層 1 5 a は配線層となり、C u 層 1 5 b はキャパシタの一方電極となる。

【 0 0 2 1 】

図 9 を参照して、C u 層 1 5 a、1 5 b の上部と層間絶縁層 3 b の上部とを覆うように被覆層 1 7 が形成される。被覆層 1 7 は、たとえば C V D 法などにより S i C や S i C N を成膜することにより形成される。この被覆層 1 7 は、配線層の上部を覆うバリア層 1 7 a およびキャパシタの誘電体層 1 7 b となる。

【 0 0 2 2 】

図10を参照して、被覆層17の上部を覆うようにたとえばA1よりなる導電層19が形成される。そして、キャパシタ部分1bを覆うようにフォトレジスト11がパターンニングされる。

【0023】

図11(a)を参照して、キャパシタ部分1b以外の導電層19がエッチングされることにより、キャパシタの他方電極が形成される。以上の工程により、本実施の形態における配線23とキャパシタ21とを備える半導体装置1が得られる。

【0024】

なお、図3(b)、図4(b)に示すように配線用孔7bとともにキャパシタ用孔9bが開口された場合には、配線23とキャパシタ21とを備える半導体装置1は、図11(b)のようになる。この場合には、キャパシタ用孔9a、9bが、互いに径の異なるキャパシタ用孔9aとキャパシタ用孔9bとから形成されている。そして、キャパシタ用孔9aとキャパシタ用孔9bとの境界において、径が不連続に変化している。さらに、キャパシタ21は段差部分20を有している。

【0025】

なお、本実施の形態において、層間絶縁層3a、3bとバリア層4a、4bと、被覆層17との各々については、他の材質の絶縁体で構成されてもよい。また、下部配線5a、5bとバリアメタル層13と導電層19の各々については、ほかの材質の導電体で構成されてもよい。さらに、Cu層15は、銅を含む導電層であればよい。

【0026】

本実施の形態における半導体装置1の製造方法によれば、配線層となるCu層15aを形成する工程と、キャパシタ21の一方電極となるCu層15bを形成する工程とが同一工程で形成されている。これにより、配線層となるCu層とキャパシタの一方電極となるCu層とが別工程で形成される場合よりも半導体装置1の製造方法が簡略化される。また、キャパシタ21の他方電極にCu以外の導電層を用いることができる。

【0027】

上記製造方法において好ましくは、配線層となるCu層15aとキャパシタ21の一方電極となるCu層15bとを覆う被覆層17を形成する工程をさらに備えている。これにより、配線層を覆う被覆層17とキャパシタの誘電体層となる被覆層17とが同一工程により形成されるので、被覆層17とキャパシタの誘電体層となる被覆層17とが別工程により形成される場合よりも半導体装置1の製造方法が簡略化される。

【0028】

上記製造方法において好ましくは、被覆層17は、Cu層15aの上部を覆うバリア層17aである。これにより、Cu層15aが層間絶縁層3b内に拡散することが防止される。

【0029】

本実施の形態の半導体装置1は、配線23とキャパシタ21とを備え、配線23とキャパシタ21の一方電極とはともにCu層15から形成されていて、かつ配線23を覆うように形成されたバリア層17aとキャパシタ21の誘電体層17bとが同一層から形成されている。これにより、配線23とキャパシタ21の一方電極とがともに同一工程で形成される。かつ、バリア層17aとキャパシタ21の誘電体層17bとが同一工程で形成される。したがって、半導体装置1の製造工程の簡略化が可能となる。

【0030】

本実施の形態の半導体装置1において好ましくは、配線23が形成されている配線用孔7a、7bとキャパシタ21が形成されているキャパシタ用孔9a、9bとを備えている。かつ、配線用孔7a、7bの容積はキャパシタ用孔9a、9bの容積よりも小さい。これにより、配線用孔7a、7bをCu層15で埋めることにより配線層を形成し、かつキャパシタ用孔9a、9b内にCu層15によりキャパシタの一方電極を形成する工程において、配線用孔7a、7bを完全に埋めるような厚さであって、かつキャパシタ用孔9a、9bの一部を埋めるような厚さで容易にCu層15が形成可能である。したがって、配線層となるCu層15aとキャパシタ21の一方電極となるCu層15bとが同一工程で形成可能

であるので、半導体装置 1 の製造工程の簡略化が可能である。

【0031】

本実施の形態の半導体装置 1 において好ましくは、キャパシタ用孔 9 a、9 b が、互いに径の異なるキャパシタ用孔 9 a とキャパシタ用孔 9 b とから形成されている。そして、キャパシタ用孔 9 a とキャパシタ用孔 9 b との境界において、径が不連続に変化している。これにより、キャパシタ用孔 9 a とキャパシタ用孔 9 b との境界に段差部分 2 0 ができる。このため、キャパシタ用孔 9 a、9 b の内壁に沿って形成されるキャパシタ 2 1 の一方電極にも段差が生じ、キャパシタ 2 1 の他方電極との対向面積が段差部分 2 0 の分だけ増加する。

【0032】

(実施の形態 2)

本実施の形態の製造方法は、まず図 1 ～図 9 に示す実施の形態 1 の製造工程と同様の製造工程を経る。よってその説明を省略する。

【0033】

図 1 2 ～図 1 7 は、本発明の実施の形態 2 における配線とキャパシタとを備える半導体装置の製造方法を工程順に示す断面図である。

【0034】

図 1 2 を参照して、被覆層 1 7 の上部を覆うように層間絶縁層 3 c (第 2 の絶縁層) が形成される。

【0035】

図 1 3 を参照して、通常の写真製版技術およびエッチング技術により、バリア層 1 7 a および誘電体層 1 7 b の上面が露出するように、通常の写真製版技術およびエッチング技術により、上部配線用孔 7 c と他方電極用孔 9 c とが層間絶縁層 3 c 内に開口される。

【0036】

図 1 4 を参照して、通常の写真製版技術およびエッチング技術により、上部配線用孔 7 d と他方電極用孔 9 d とが層間絶縁層 3 c 内に開口される。

【0037】

図 1 5 を参照して、他方電極用孔 9 a、9 b の周囲を覆うようにフォトレジス

ト 1 1 がパターニングされ、上部配線用孔 7 c の底部のバリア層 1 7 a がエッチングされる。これにより、上部配線用孔 7 c の底部には Cu 層 1 5 a が露出する。

【 0 0 3 8 】

図 1 6 を参照して、フォトレジスト 1 1 が除去された後、上部配線用孔 7 c、7 d と他方電極用孔 9 c、9 d との側壁および底部と、層間絶縁層 3 c の上部とを覆うようにバリアメタル層 1 4 が形成される。そして、バリアメタル層 1 4 の上部を覆うように Cu 層 2 5 が形成される。ここで、Cu 層 2 5 は、上部配線用孔 7 c、7 d と他方電極用孔 9 c、9 d とを埋めるような厚さで形成される。

【 0 0 3 9 】

図 1 7 を参照して、層間絶縁層 3 c よりも上の位置にある Cu 層 2 5 とバリアメタル層 1 4 とがたとえば CMP 法により除去される。これにより、Cu 層 2 5 は、Cu 層 2 5 a と Cu 層 2 5 b とに分離される。この Cu 層 2 5 a は上部配線層となり、Cu 層 2 5 b はキャパシタの他方電極となる。そして、Cu 層 2 5 a、2 5 b と層間絶縁層 3 c との上部を覆うように、バリア層 2 7 が形成される。以上の工程により、本実施の形態における配線 2 3 とキャパシタ 2 1 とを備える半導体装置 1 が得られる。

【 0 0 4 0 】

本実施の形態においては、配線層となる Cu 層 1 5 a の上に上部配線となる Cu 層 2 5 a が形成される場合に、上部配線となる Cu 層 2 5 b とキャパシタ 2 1 の他方電極となる Cu 層 2 5 b とが同一工程で形成される。したがって、上部配線となる銅層とキャパシタの他方電極となる銅層とが別工程で形成される場合よりも半導体装置 1 の製造方法が簡略化される。

【 0 0 4 1 】

（実施の形態 3）

本実施の形態の製造方法は、まず図 1 ～図 7 に示す実施の形態 1 の製造工程と同様の製造工程を経る。よってその説明を省略する。

【 0 0 4 2 】

図 1 8 ～図 2 3 は、本発明の実施の形態 3 における配線とキャパシタとを備え

る半導体装置の製造方法を工程順に示す断面図である。

【0043】

図18を参照して、Cu層15の上部を覆うように被覆層17が形成される。

図19を参照して、キャパシタ部分1bを覆うようにフォトレジスト11がパターンニングされる。そして、キャパシタ部分1b以外の被覆層17がエッチングされることにより、キャパシタ部分1b以外のCu層15が露出される。残ったキャパシタ部分1bの被覆層17はキャパシタの誘電体層17bとなる。

【0044】

図20を参照して、フォトレジスト11が除去される。

図21を参照して、キャパシタの誘電体層17bで覆われていない部分のCu層15およびバリアメタル層13が、たとえばCMP法により除去される。これにより、Cu層15は、配線部分1aのCu層15aとキャパシタ部分1bのCu層15bとに分離される。このCu層15aは配線層となり、Cu層15bはキャパシタの一方電極となる。

【0045】

図22を参照して、層間絶縁層3bの上部とキャパシタの誘電体層17bの上部とを覆うようにバリア層18が形成される。そして、通常の写真製版技術およびエッチング技術により、キャパシタの誘電体層17bの上部のバリア層18がエッチングされる。

【0046】

図23を参照して、バリア層18の上部とキャパシタの誘電体層17bの上部とを覆うように導電層25が形成される。そして、通常の写真製版技術およびエッチング技術により、キャパシタ部分1b以外の導電層25がエッチングされる。これにより、キャパシタの他方電極が形成される。以上の工程により、本実施の形態における配線23とキャパシタ21とを備える半導体装置1が得られる。

【0047】

本実施の形態においては、Cu層15bとなる部分を覆う被覆層17を除去する工程と、Cu層15bを覆うバリア層18を形成する工程とをさらに備えている。これにより、Cu層15bを覆うバリア層18とキャパシタの誘電体層17

b が別工程により形成されるので、バリア層 1 8 とキャパシタの誘電体層 1 7 b との各々に適した層が形成可能となる。

【0 0 4 8】

本実施の形態の半導体装置 1 は、配線 2 3 とキャパシタ 2 1 とを備え、配線 2 3 とキャパシタ 2 1 の一方電極とはともに Cu 層 1 5 から形成されていて、かつ配線 2 3 を覆うように形成されたバリア層 1 8 とキャパシタ 2 1 の誘電体層 1 7 b とが互いに異なる層から形成されている。これにより、バリア層 1 8 とキャパシタの誘電体層 1 7 b との各々に適した層が形成可能となる。

【0 0 4 9】

以上に開示された実施の形態はすべての点で例示であって制限的なものではないと考慮されるべきである。本発明の範囲は、以上の実施の形態ではなく、特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての修正や変形を含むものと意図される。

【0 0 5 0】

【発明の効果】

以上のように、本発明の半導体装置の製造方法によれば、配線層となる第 1 の銅層とキャパシタの一方電極となる第 1 の銅層とが同一工程で形成されている。これにより、配線層となる銅層とキャパシタの一方電極となる銅層とが別工程で形成される場合よりも半導体装置 1 の製造方法が簡略化される。また、上部配線に銅以外の導電層を用いることができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 ～ 3 における配線とキャパシタとを備える半導体装置の製造方法の第 1 工程を示す概略断面図である。

【図 2】 本発明の実施の形態 1 ～ 3 における配線とキャパシタとを備える半導体装置の製造方法の第 2 工程を示す概略断面図である。

【図 3】 (a) は、本発明の実施の形態 1 ～ 3 における配線とキャパシタとを備える半導体装置の製造方法の第 3 工程を示す概略断面図、(b) は、本発明の実施の形態 1 における配線とキャパシタとを備える半導体装置の製造方法の第 3 工程の他の例を示す概略断面図である。

【図 4】 (a) は、本発明の実施の形態 1 ～ 3 における配線とキャパシタとを備える半導体装置の製造方法の第 4 工程を示す概略断面図、(b) は、本発明の実施の形態 1 における配線とキャパシタとを備える半導体装置の製造方法の第 4 工程の他の例を示す概略断面図である。

【図 5】 本発明の実施の形態 1 ～ 3 における配線とキャパシタとを備える半導体装置の製造方法の第 5 工程を示す概略断面図である。

【図 6】 本発明の実施の形態 1 ～ 3 における配線とキャパシタとを備える半導体装置の製造方法の第 6 工程を示す概略断面図である。

【図 7】 本発明の実施の形態 1 ～ 3 における配線とキャパシタを備える半導体装置の製造方法の第 7 工程を示す概略断面図である。

【図 8】 本発明の実施の形態 1 および 2 における配線とキャパシタとを備える半導体装置の製造方法の第 8 工程を示す概略断面図である。

【図 9】 本発明の実施の形態 1 および 2 における配線とキャパシタとを備える半導体装置の製造方法の第 9 工程を示す概略断面図である。

【図 1 0】 本発明の実施の形態 1 における配線とキャパシタとを備える半導体装置の製造方法の第 1 0 工程を示す概略断面図である。

【図 1 1】 (a) は、本発明の実施の形態 1 における配線とキャパシタとを備える半導体装置を示す概略断面図、(b) は、本発明の実施の形態 1 における配線とキャパシタとを備える半導体装置の他の例を示す概略断面図である。

【図 1 2】 本発明の実施の形態 2 における配線とキャパシタとを備える半導体装置の製造方法の第 1 0 工程を示す概略断面図である。

【図 1 3】 本発明の実施の形態 2 における配線とキャパシタとを備える半導体装置の製造方法の第 1 1 工程を示す概略断面図である。

【図 1 4】 本発明の実施の形態 2 における配線とキャパシタとを備える半導体装置の製造方法の第 1 2 工程を示す概略断面図である。

【図 1 5】 本発明の実施の形態 2 における配線とキャパシタとを備える半導体装置の製造方法の第 1 3 工程を示す概略断面図である。

【図 1 6】 本発明の実施の形態 2 における配線とキャパシタとを備える半導体装置の製造方法の第 1 4 工程を示す概略断面図である。

【図 1 7】 本発明の実施の形態 2 における配線とキャパシタとを備える半導体装置を示す概略断面図である。

【図 1 8】 本発明の実施の形態 3 における配線とキャパシタとを備える半導体装置の製造方法の第 8 工程を示す概略断面図である。

【図 1 9】 本発明の実施の形態 3 における配線とキャパシタとを備える半導体装置の製造方法の第 9 工程を示す概略断面図である。

【図 2 0】 本発明の実施の形態 3 における配線とキャパシタとを備える半導体装置の製造方法の第 1 0 工程を示す概略断面図である。

【図 2 1】 本発明の実施の形態 3 における配線とキャパシタとを備える半導体装置の製造方法の第 1 1 工程を示す概略断面図である。

【図 2 2】 本発明の実施の形態 3 における配線とキャパシタとを備える半導体装置の製造方法の第 1 2 工程を示す概略断面図である。

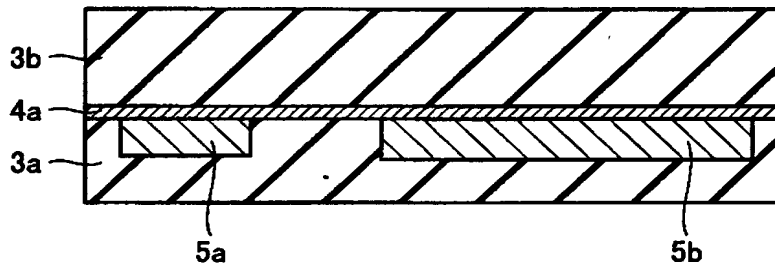
【図 2 3】 本発明の実施の形態 3 における配線とキャパシタとを備える半導体装置を示す概略断面図である。

【符号の説明】

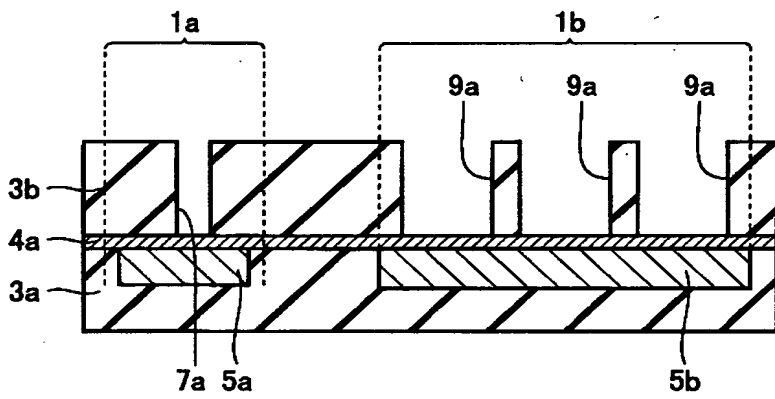
1 半導体装置、1 a 配線部分、1 b キャパシタ部分、3 a ~ 3 c 層間絶縁層、4 a, 1 7 a, 1 8, 2 7 バリア層、5 a, 5 b 下部配線、7 a, 7 b 配線用孔、7 c, 7 d 上部配線用孔、9 a, 9 b キャパシタ用孔、9 c, 9 d 他方電極用孔、1 1 フォトレジスト、1 3, 1 4 バリアメタル層、1 5, 1 5 a, 1 5 b, 2 5, 2 5 a, 2 5 b Cu 層、1 7 被覆層、1 7 b 誘電体層、1 9 導電層、2 0 段差部分、2 1 キャパシタ、2 3 配線。

【書類名】 図面

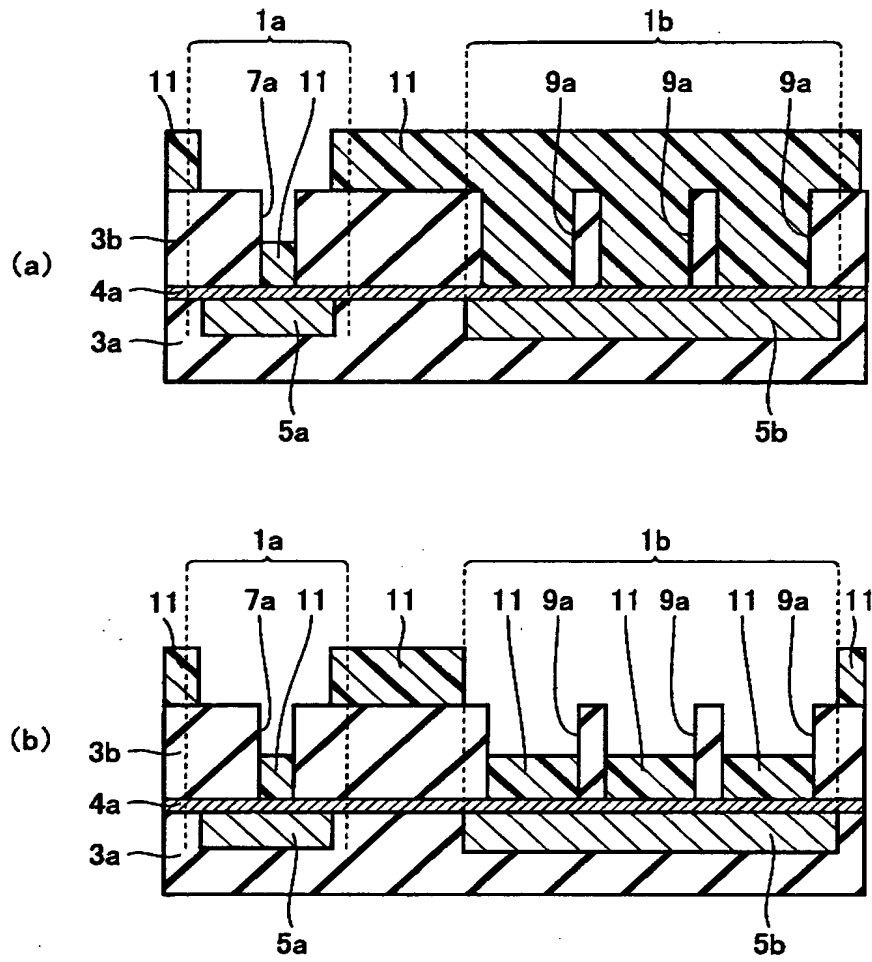
【図 1】



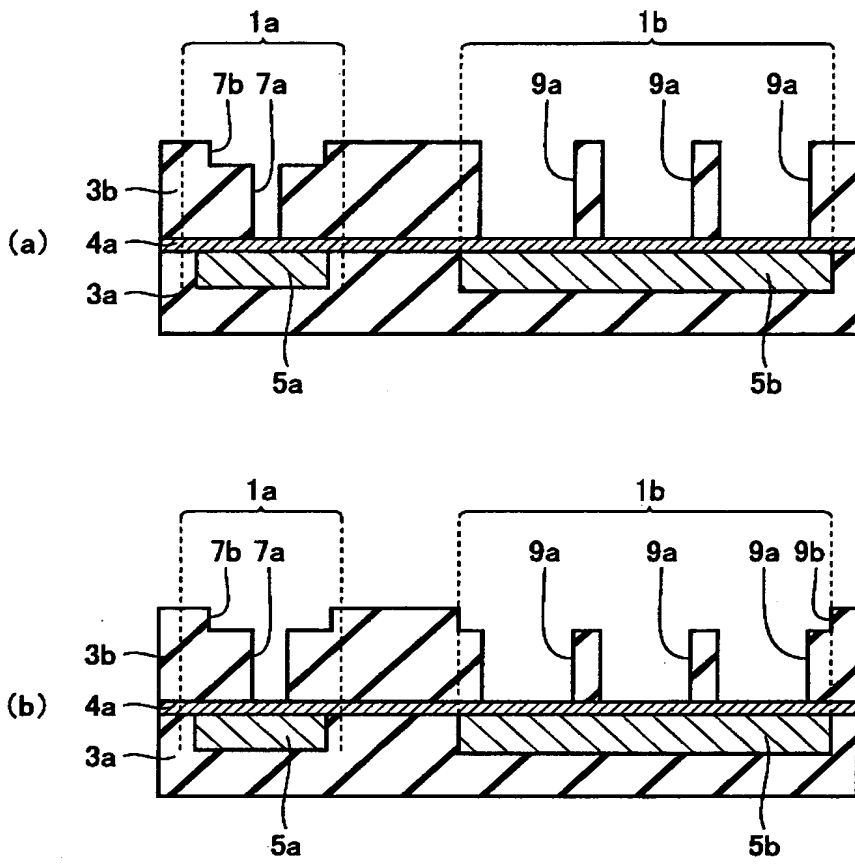
【図 2】



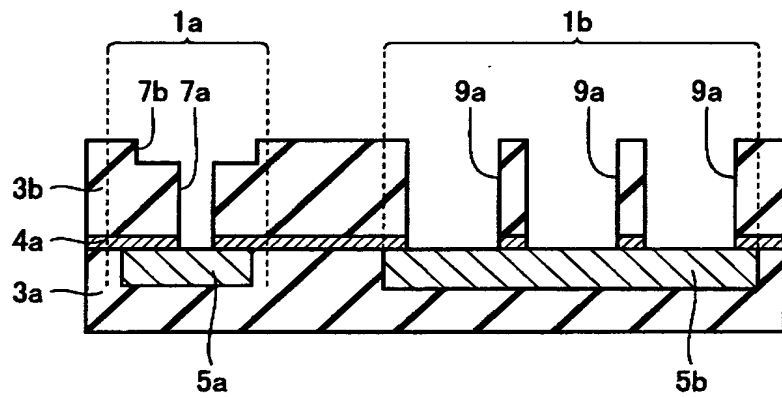
【図 3】



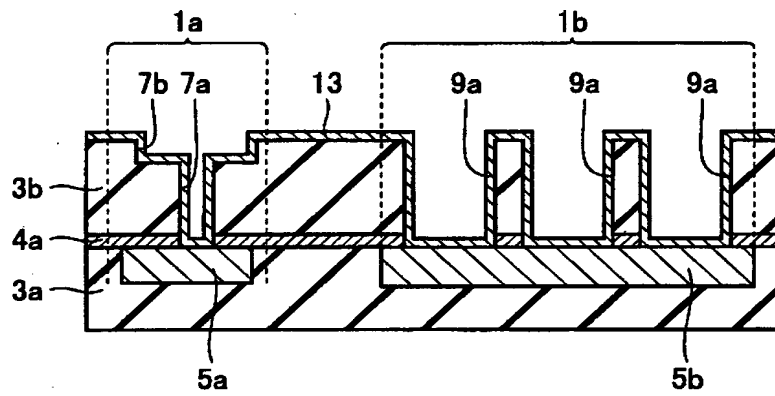
【図 4】



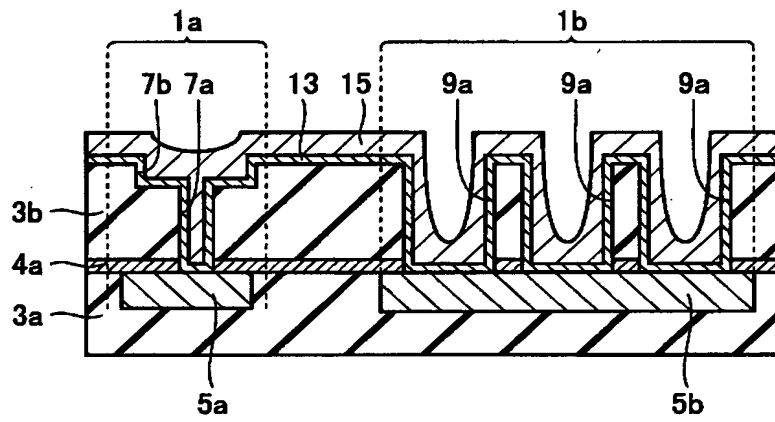
【図 5】



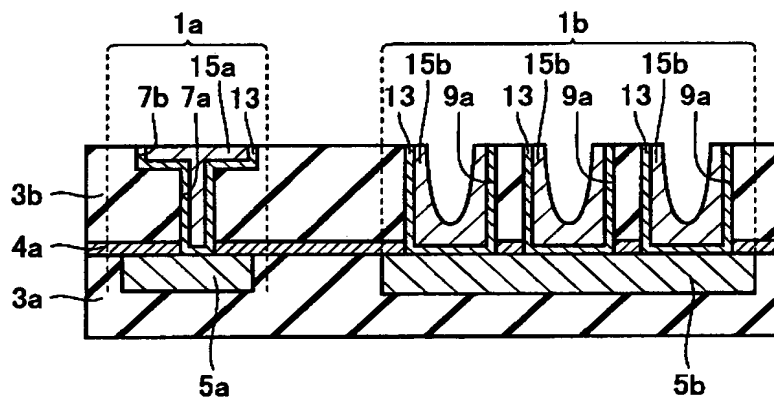
【図 6】



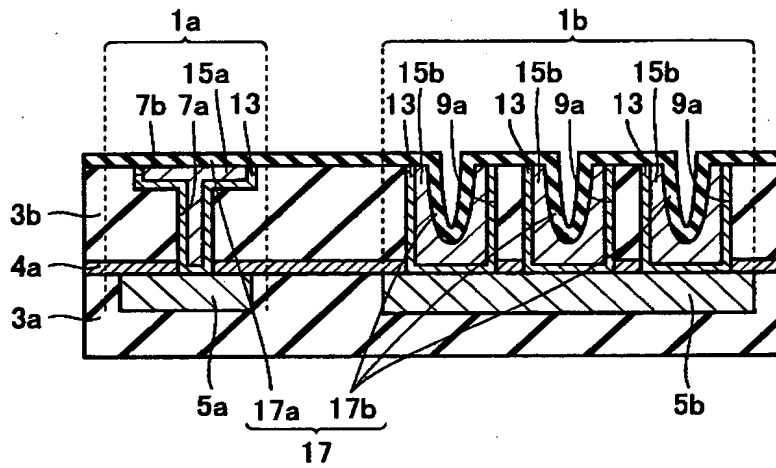
【図 7】



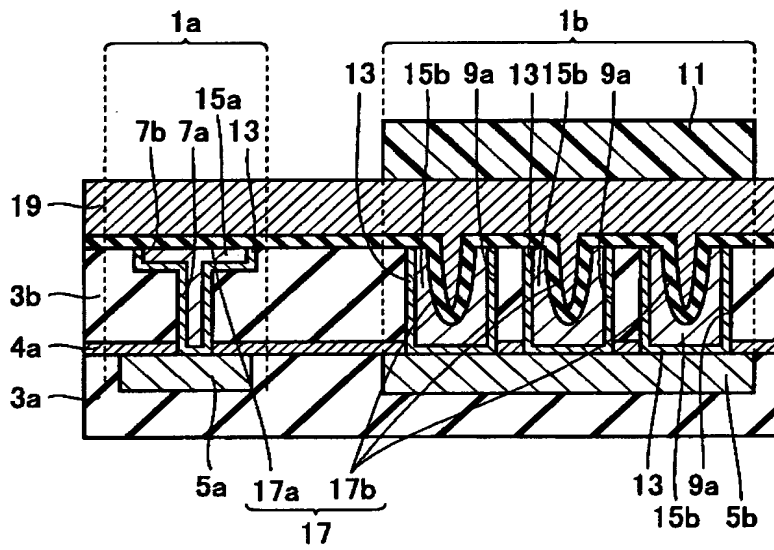
【図 8】



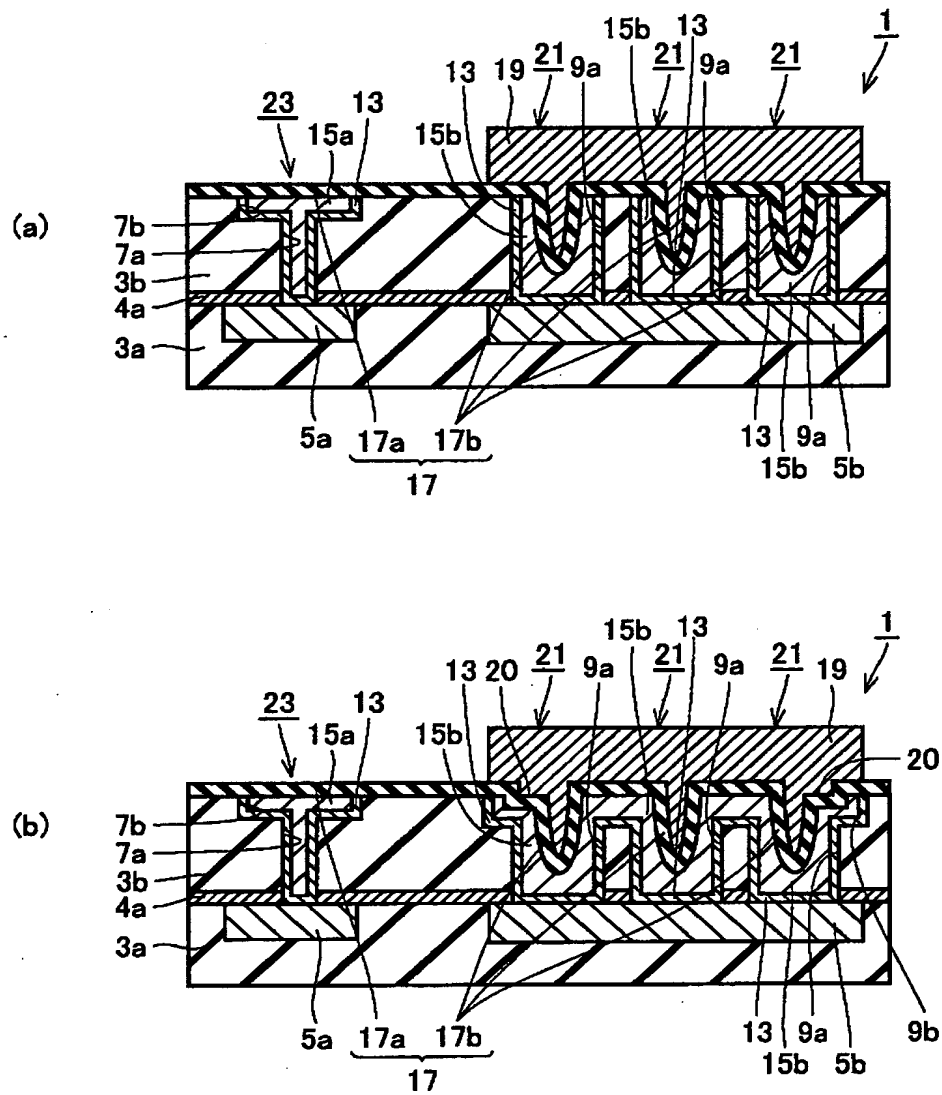
【図 9】



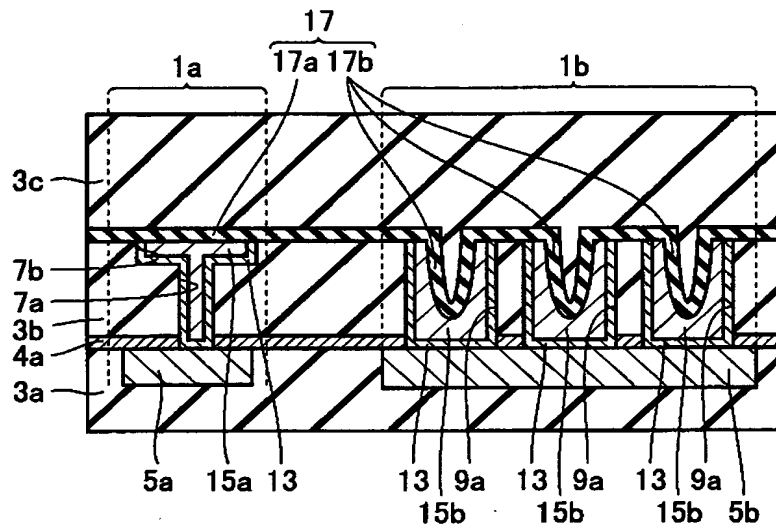
【図 10】



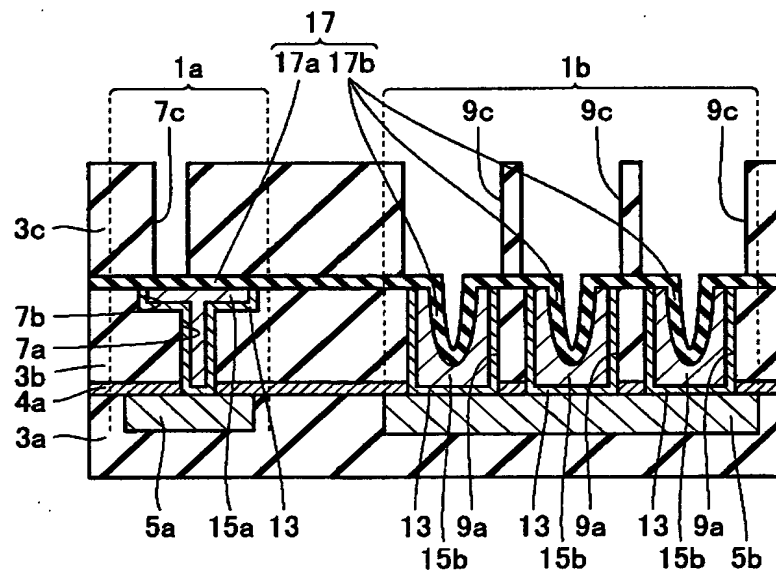
【図 11】



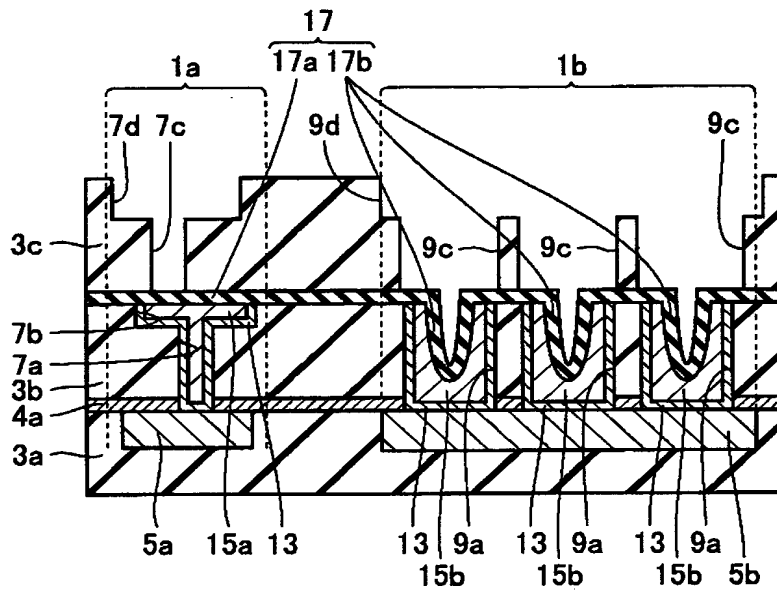
【図 12】



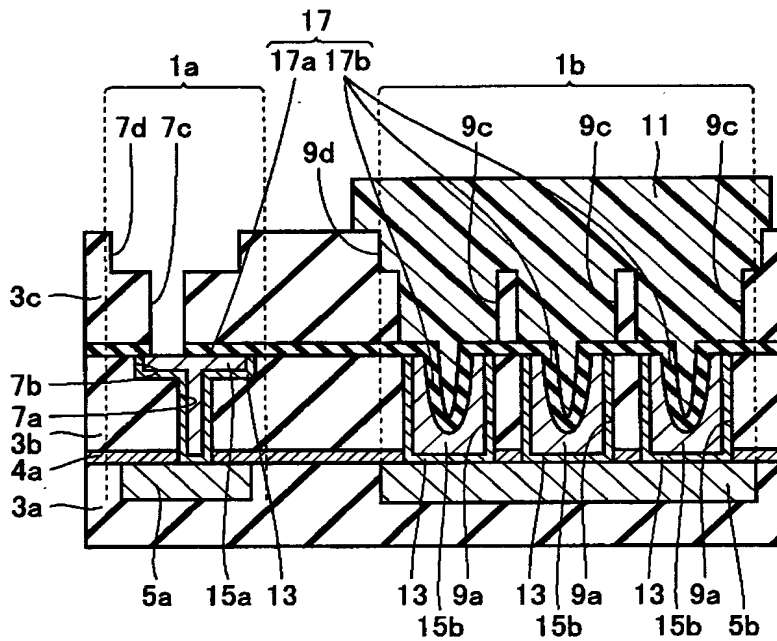
【図 13】



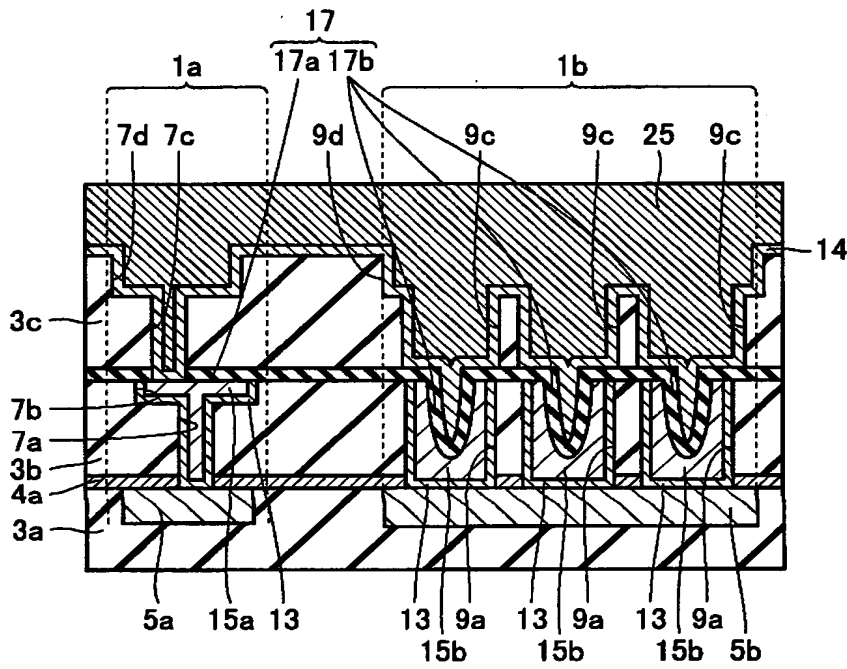
【図 14】



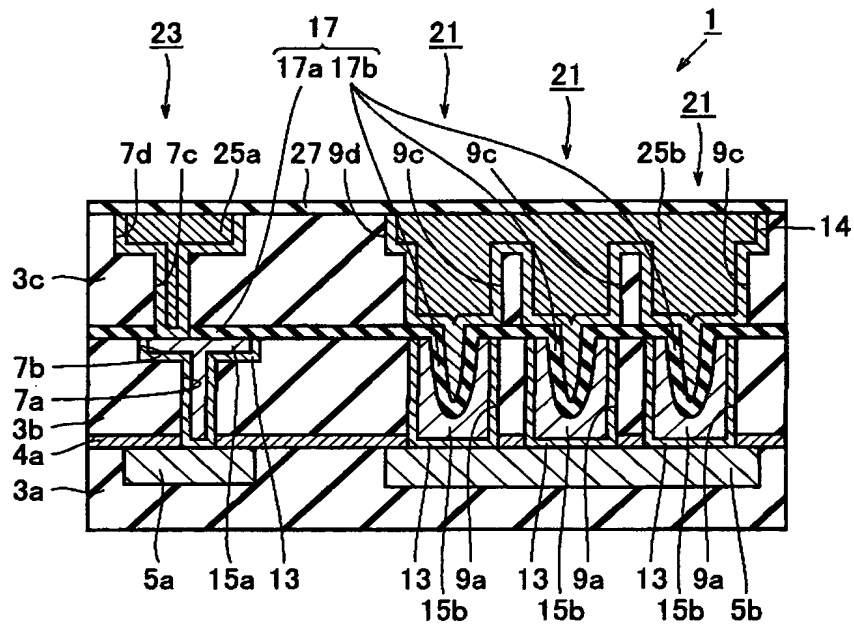
【図 15】



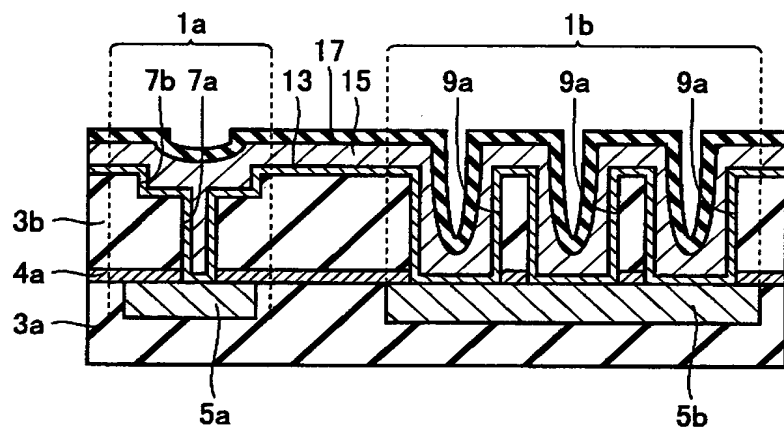
【図 16】



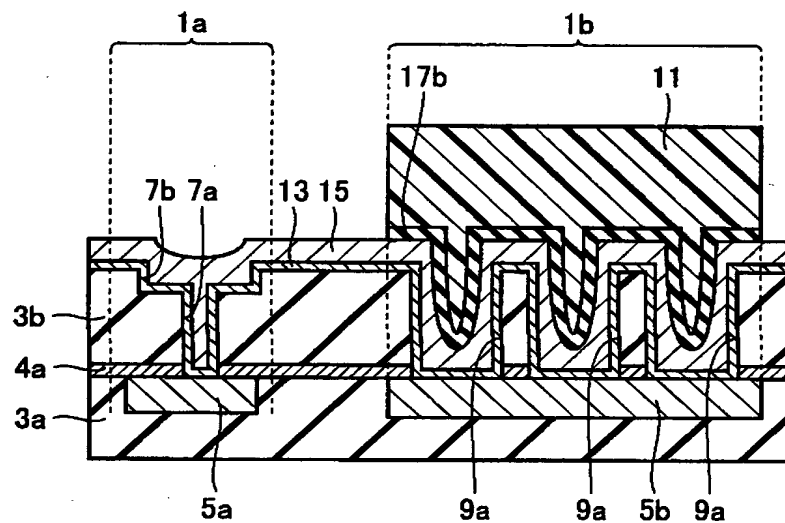
【図 17】



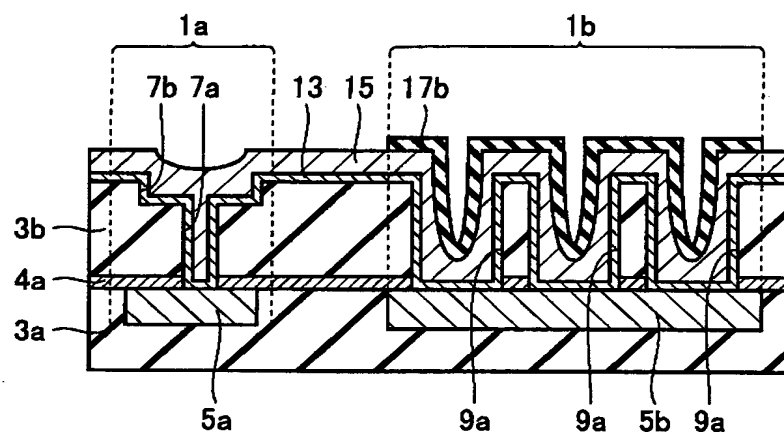
【図 18】



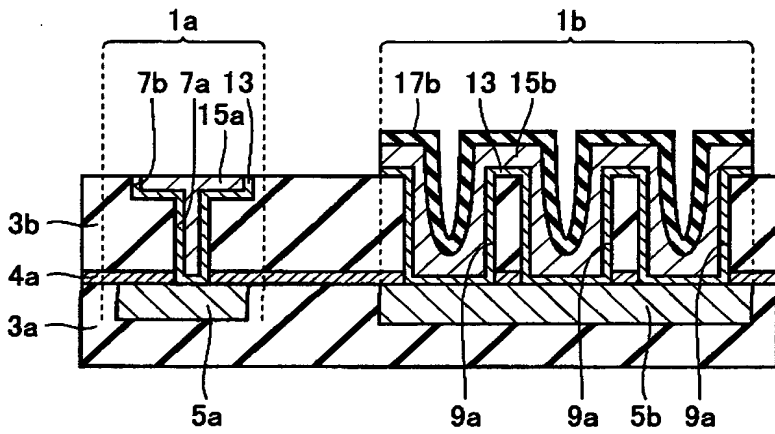
【図 19】



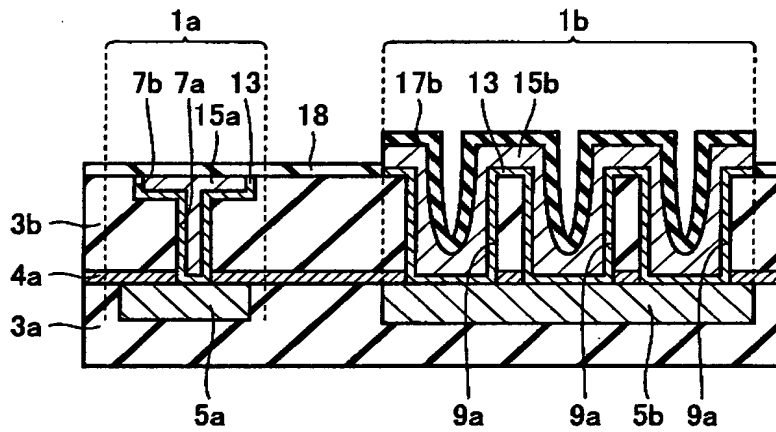
【図 20】



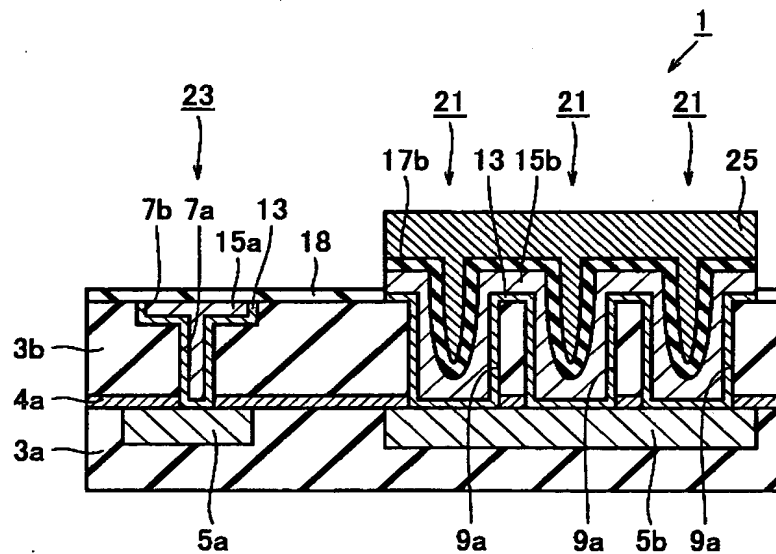
【図 2 1】



【図 2 2】



【図 2 3】



【書類名】 要約書

【要約】

【課題】 製造工程の簡略化が可能な半導体装置およびその製造方法を提供する

【解決手段】 本発明のCu層15aからなる配線23とキャパシタ21とを備えた半導体装置1の製造方法は、層間絶縁層3bを形成する工程と、層間絶縁層3b内に配線用孔7a、7bとキャパシタ用孔9aとを形成する工程と、Cu層15aで配線用孔7a、7bを埋めることにより配線層を形成する工程と、Cu層15aでキャパシタ用孔9aの一部を埋めることによりキャパシタの一方電極を形成する工程とを備えている。Cu層15aで配線用孔7a、7bを埋めることにより配線層を形成する工程と、Cu層15aでキャパシタ用孔9aの一部を埋めることによりキャパシタの一方電極を形成する工程とは同一工程で行なわれる。

【選択図】 図11

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社